

II Circuits : aspects électriques

II.1. Technologies

Les circuits numériques sont subdivisés en familles technologiques. A chaque famille est associée un processus de fabrication qui recouvre un type de transistor (bipolaires, MOS etc...), donc des paramètres électriques : tensions d'alimentations, niveaux logiques, courants échangés lors de l'association de plusieurs opérateurs, caractéristiques dynamiques comme les temps de propagations, les fréquences d'horloge maxima. Le principe général adopté est que l'utilisateur peut construire une fonction logique complexe en associant des opérateurs élémentaires sans se poser à chaque fois des questions d'interface électrique *tant qu'il utilise des circuits d'une même famille*.

Nous n'étudierons pas ici l'architecture interne des différentes technologies utilisées en électronique numérique¹, pour le concepteur de système numérique un circuit apparaît comme une « boîte noire » dont le fonctionnement est entièrement défini par ses caractéristiques externes, tant statiques (volts et milliampères) que dynamiques (nanosecondes et mégahertz). Avant d'aborder ces deux points, nous passerons en revue, de façon très générale les familles les plus utilisées en pratique.

II.1.1 Les familles TTL

Famille historique s'il en est, apparue au milieu des années 1960, la famille TTL (Transistor Transistor Logic), construite autour de transistors bipolaires, est devenue un standard de fait. Les premières versions sont devenues complètement obsolètes mais servent d'éléments de comparaison. Dans la version TEXAS INSTRUMENT, repris par de nombreuses secondes sources, le code d'identification d'un circuit TTL est relativement standardisé :

SN 74 AS 169 N ou *DM 54 S 283 J*

¹On consultera avec profit HOROWITZ et HILL, *The Art of Electronics*, Cambridge University Press, 1983 ; MILLMANN et GRABEL *Microélectronique*, McGraw-Hill, 1988 ou HODGES et JACKSON *Analysis and design of digital integrated circuits*, McGraw-Hill, 1988.

Chaque champ a une signification :

- SN, DM : champ littéral qui indique le constructeur.
- 74 ou 54 : gamme de températures normale (0°C à 70°C) ou militaire (-55°C à +125°C).
- AS, S, ...: technologie ici advanced shottky, shottky.
- 169, 283, ...: fonction logique.
- N, J, P, NT...: type de boîtier (ici DIL plastique ou céramique).

Les familles TTL nécessitent une *alimentation monotension de +5 V*. Attention, cette spécification est très stricte, et doit être respectée à $\pm 10\%$ près, voire $\pm 5\%$ près dans certains cas. Le dépassement de la tension d'alimentation maximum, de même que l'inversion de cette tension, par permutation accidentelle entre masse et alimentation, est l'un des moyens de destruction du circuit le plus sûr.

Le tableau ci-dessous résume quelques éléments clés des familles TTL :

Technologie	Commentaire	P mW	t _p ns
74/54 N	Série historique standard, transistors saturés, obsolète	10	10
74/54 H	Série historique rapide, obsolète	20	5
74/54 L	Série historique faible consommation (low power), obsolète	1	30
74/54 S	Shottky, série rapide, transistors non saturés, presque obsolète	20	3
74/54 LS	Shottky faible consommation, très répandue, standard de fait, presque obsolète	2	10
74/54 F	Version Fairchild des technologies rapides	4	3
74/54 AS	Advanced Shottky, remplace la « S »	8	2
74/54 ALS	advanced low power shottky, remplace la « LS »	2	4

Dans le tableau précédent, la puissance P et le temps de propagation (retard) t_p sont mesurés pour un opérateur élémentaire (porte), typiquement un inverseur.

Les familles TTL sont caractérisées par une consommation non négligeable, de l'ordre de quelques milliwatts par porte, qui augmente un peu avec la fréquence d'utilisation, et des fréquences maximums de fonctionnement comprises entre 10 et 100 Mhz suivant les versions. Les niveaux logiques typiques sont de l'ordre de 3 V pour le niveau haut et 0,4 V pour le niveau bas (voir plus loin).

II.1.2 Les familles CMOS

Apparue à la même époque que la famille TTL N, la première famille CMOS (Complementary Metal Oxyde Semi-conductor), la série 4000 de RCA, s'est rendue populaire par sa très faible consommation statique (presque 0) et par une grande plage de tension d'alimentation (3 à 15 V), malgré des performances dynamiques quatre à dix fois plus mauvaises, dans le meilleur des cas². Cette

²Le retard dans les circuits dépend beaucoup de la capacité de charge en sortie pour la famille 4000.

famille est strictement incompatible avec la famille TTL, à la fois pour des questions de niveaux logiques que de courant absorbé par les portes TTL.

La famille des circuits CMOS s'est agrandie depuis, dans deux directions

1. Circuits spécialisés à très faible tension d'alimentation (1,5 V), très faible consommation, où la vitesse n'intervient pas, ou peu (montres, caulettes simples, etc...). Nous n'en parlerons pas plus.
2. Circuits qui concurrencent les familles TTL, même rapides, avec une consommation statique pratiquement nulle : 4000B, 74 C, 74 HC, 74 HCT, 74 ACT, 74 FACT etc... Les familles 74xxx sont fonctionnellement équivalentes aux familles TTL, *mais le brochage des circuits est parfois différent*, la lettre 'T' indique la compatibilité de niveaux électriques avec les familles TTL.

Les notices des circuits CMOS sont à analyser avec prudence quand on les compare aux autres familles :

- La consommation est proportionnelle à la fréquence de fonctionnement, nulle à fréquence nulle, la puissance absorbée par porte rejoint celle des familles bipolaires aux alentours d'une dizaine de mégahertz. Une formule approchée permet d'estimer la puissance absorbée par une porte élémentaire :

$$P_d = (C_L + C_{PD}) * V_{cc} * (V_H - V_L) * f$$

où C_L est la capacité de charge, C_{PD} une capacité interne équivalente de l'ordre de 25 pF pour les familles 74 AC, V_{cc} la tension d'alimentation³ et f la fréquence de fonctionnement.

- Les circuits MOS présentent une caractéristique d'entrée qui peut être assimilée à une capacité, le temps de propagation et la consommation par porte augmentent notablement quand la capacité de charge, donc le nombre d'opérateurs commandés, augmente.

Le tableau ci-dessous résume quelques éléments clés des familles CMOS :

Technologie	Commentaire	P mW	t _p ns
4000	Série historique, non compatible TTL, obsolète	0,1	100
74/54 C	Partiellement compatible TTL, obsolète	0,1	50
74/54 HC	Partiellement compatible TTL	0,1	10
74/54 HCT	Compatible TTL	0,1	10
74/54 ACT	Compatible TTL, rapide	0,1	5

Dans le tableau précédent les chiffres sont donnés pour une *capacité de charge de 50 pF* et une *fréquence de travail de 1 Mhz*. La compatibilité TTL, si elle est mentionnée, n'a de sens que pour une tension d'alimentation de 5 V.

Les CMOS sont un peu la famille idéale pour les applications courantes. Quelques précautions d'emploi sont cependant à noter :

³Cette formule met clairement en évidence l'intérêt du passage, qui tend à se généraliser, de 5 V à 3,3 V pour la tension d'alimentation des circuits numériques.

- Les entrées inutilisées ne doivent *jamais être laissées « en l'air »*, l'oubli de cette précaution, qui peut conduire à des dysfonctionnements des familles TTL, peut être destructive dans le cas des CMOS.
- Les signaux d'entrée ne doivent jamais être appliqués à un circuit non alimenté. Si le potentiel d'une entrée dépasse celui de la broche d'alimentation du circuit, cela peut provoquer un phénomène connu sous le nom de « latch up », destructif, qui est un véritable court-circuit interne⁴.
- Les circuits sont sensibles aux décharges électrostatiques, les mémoires à grande capacité, qui font appel à des transistors de dimensions sub-microniques, ne doivent être manipulées que par un opérateur muni d'un bracelet conducteur relié à la masse du montage.
- L'augmentation de la vitesse, conjointement à la consommation statique nulle (résistances équivalentes infinies), conduit à une très forte désadaptation, au sens des lignes de propagation, des circuits vis à vis des conducteurs d'interconnexions. Cette désadaptation conduit à des phénomènes d'échos : une impulsion peut être réfléchiée en bout de ligne, et générer un écho, c'est à dire une impulsion « parasite » qui peut conduire à des erreurs de fonctionnement.
- La consommation d'un circuit CMOS n'est pas du tout régulière, mais formée d'une suite d'impulsions de courant, à chaque changement d'état ; si ces impulsions de courant se retrouvent dans les fils d'alimentation ceux-ci se comportent comme autant d'antennes qui émettent des signaux parasites. Globalement cela se traduit par un comportement très bruyant des systèmes numériques qui utilisent une technologie CMOS sans respecter les règles de l'art concernant le câblage. Parmi ces règles de l'art la plus importante, et de loin, est le *découplage haute fréquence de l'alimentation de chaque circuit*. Pratiquement il faut adjoindre à chaque boîtier une capacité de découplage (10 à 100 nF), entre alimentation et masse. Cette capacité doit présenter une impédance aussi faible que possible en haute fréquence (plusieurs centaines de mégahertz), elle doit donc avoir une inductance parasite aussi faible que possible : fils courts, technologie « mille feuilles », l'idéal étant une capacité « chip » soudée directement sous le circuit à découpler. Pour résumer : *dans les conducteurs d'alimentation et de masse ne doivent circuler que des courants continus*.

⁴Pour les initiés : la structure CMOS présente un thyristor parasite qui, s'il est mis en conduction, court-circuite les alimentations. Un dépassement de la tension d'alimentation par une des entrées peut mettre ce thyristor en conduction. Les circuits récents sont mieux protégés contre ce phénomène que ceux des premières générations, mais le problème n'a pas complètement disparu.

II.1.3 Les familles ECL

Les familles ECL constituent en quelque sorte l'aristocratie des familles logiques. Très rapides, temps de propagation inférieur à la nano-seconde pour une porte, temps d'accès de moins de 10 nano-secondes pour les mémoires, ces familles constituent un monde à part. Elles sont strictement incompatibles avec la TTL, ne serait-ce que par leur tension d'alimentation qui est négative, $-5,2$ V, et par des niveaux logiques haut et bas de -1 V et $-1,6$ V respectivement. Le fonctionnement interne fait appel à des amplificateurs différentiels, en technologie bipolaire, qui fonctionnent en régime linéaire. Cette particularité leur confère un courant absorbé pratiquement constant, ce qui rend les circuits peu bruyants, et facilite l'adaptation d'impédance aux lignes d'interconnexions. La contrepartie du fonctionnement en régime linéaire est une consommation importante. Le tableau ci-dessous résume quelques caractéristiques des deux familles principales :

Technologie	Commentaire	P mW	t_p ns	f max
ECL 10K	Série historique, non compatible TTL	25	2	125 MHz
ECL 100K	Meilleure stabilité en température, plus rapide, non compatible TTL	30	0,8	400 MHz

La puissance et le temps de propagation concernent une porte élémentaire, la fréquence maximum de fonctionnement concerne un circuit séquentiel synchrone simple.

Les domaines d'applications des technologies ECL sont les « super ordinateurs », et les parties hautes fréquences des systèmes de télécommunication. On trouve des circuits dérivés de l'ECL, dont le fonctionnement interne est celui de cette famille, mais qui apparaissent au monde extérieur comme compatibles TTL, alimentation comprise.

II.1.4 Les familles AsGa

D'un usage industriel encore limité à quelques fonctions relativement simples, en général dans les parties hautes fréquences des systèmes de télécommunications et de radars, ces technologies surpassent les familles ECL dans le domaine des fréquences allant de 500 Mhz à 5 Ghz. Elles utilisent comme composants élémentaires des transistors à effet de champ à jonction, MESFET (pour Metal Semi-conductor Field Effect Transistor), dont la jonction de commande est une diode Shottky. L'origine de la vitesse de ces transistors est que la mobilité des électrons est cinq à dix fois plus élevée dans l'arseniure de gallium que dans le silicium.

Le tableau ci-dessous indique quelques unes des performances atteintes :

Technologie	Commentaire	P mW	t_p ps	f max
BFL	Buffered FET logic, Géométrie $0,5\mu\text{m}$	10	55	2,5 GHz
DCFL	Direct coupled FET logic, $0,5\mu\text{m}$	1,3	11	4 GHz

La puissance et le temps de propagation (en pico-secondes) concernent une porte élémentaire, la fréquence maximum de fonctionnement (en gigahertz) concerne un circuit séquentiel synchrone simple.

II.2. Volts et milliampères

Le principe de constitution d'une famille logique est de permettre au concepteur d'une application d'interconnecter les circuits sur une carte de la même façon qu'il assemble des fonctions sur un schéma de principe. Ce jeu de Lego est rendu possible par le respect, par les fabricants de circuits, de règles cohérentes, communes à tous les fabricants, qui rendent compréhensibles, par les entrées d'un circuit, les signaux issus des sorties d'un autre. Le jeu se complique un peu à cause de l'inévitable dispersion des caractéristiques, d'un composant à l'autre lors de la fabrication, dispersion initiale à laquelle il convient de rajouter les variations des caractéristiques d'un même circuit avec la température. Tous les paramètres électriques d'un circuit intégré seront définis par trois valeurs : minimum, maximum, dans une plage de température, et typique, à température « normale », c'est à dire $25\text{ }^\circ\text{C}$ ($300\text{ }^\circ\text{K}$).

II.2.1 Les niveaux de tension

A un circuit, alimenté par une tension V_{CC} , on applique une tension d'entrée V_e et on mesure la tension de sortie V_s .

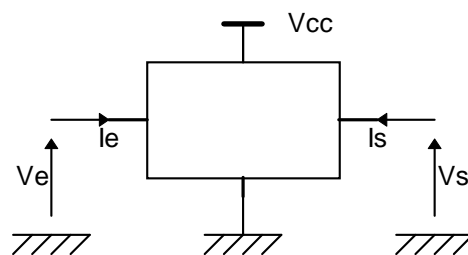


Figure II-1

Les niveaux HAUT et BAS, en entrée et en sortie, V_{IH} , V_{OH} , V_{IL} et V_{OL} sont définis par :

Niveaux bas en entrée si $0 \leq V_e \leq V_{IL}$

Niveaux bas en sortie si $0 \leq V_s \leq V_{OL}$

Niveaux haut en entrée si $V_{IH} \leq V_e \leq V_{cc}$

Niveaux haut en sortie si $V_{OH} \leq V_s \leq V_{cc}$

Il est clair qu'entre un niveau haut et un niveau bas doit exister une « plage interdite », pour qu'il n'y ait pas ambiguïté.

Quand on envisage l'association de deux circuits, A et B, il convient de rendre compatibles les niveaux d'entrée et de sortie.

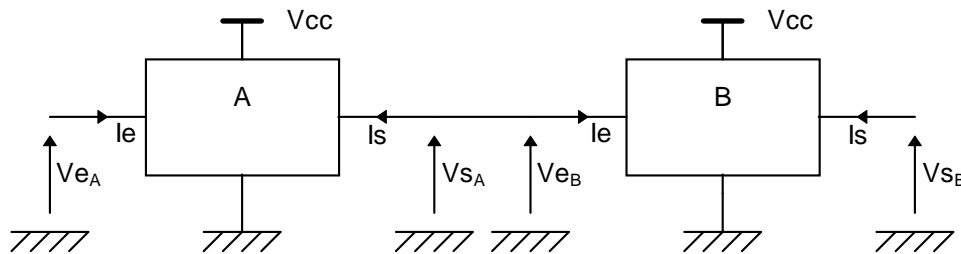


Figure II-2

Pour assurer que le circuit B comprend bien les signaux issus du circuit A, on doit avoir :

$$V_{OHMIN} > V_{IHMIN}$$

$$V_{OLMAX} < V_{ILMAX}$$

Dans ces inégalités, un peu paradoxales, il faut bien comprendre que les attributs « MIN » et « MAX » ont un sens statistique, ils concernent les valeurs extrêmes que le constructeur garantit sur tous les circuits d'une même famille technologique.

Un catalogue de composants TTL nous renseigne sur la valeur de ces paramètres dans cette famille : $V_{OHMIN} = 2,7$ V et $V_{IHMIN} = 2$ V, $V_{OLMAX} = 0,4$ V et $V_{ILMAX} = 0,8$ V.

Ces valeurs respectent bien évidemment les inégalités précédentes.

Entre les familles TTL et CMOS traditionnelles la compatibilité n'est pas assurée dans le sens TTL→CMOS pour le niveau haut.

La valeur minimum des écarts entre V_{OHMIN} et V_{IHMIN} d'une part, V_{OLMAX} et V_{ILMAX} d'autre part représente l'immunité au bruit de la famille considérée. Elle est de 400 mV en TTL. Cette immunité au bruit représente l'amplitude que doit avoir un parasite, superposé au signal utile, qui risque de rendre ambiguë la tension d'entrée d'un circuit. La figure II-3 résume les définitions qui précèdent :

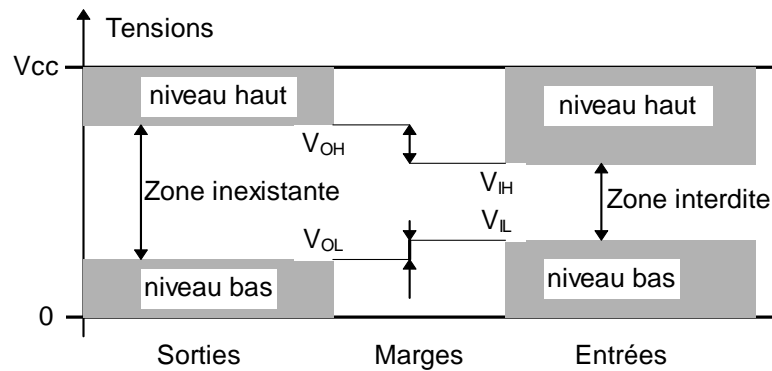


Figure II-3

II.2.2 Les courants échangés

Les courants I_e et I_s des figures II-1 et II-2 indiquent des conventions de signe pour des courants dont les sens réels dépendent des niveaux logiques qui interviennent. En première approximation, on peut considérer que la sortie d'un circuit se comporte comme une source de tension ; dans un montage comme celui de la figure II-2, la valeur du courant qui circule dans la liaison entre les deux circuits est alors principalement fixée par l'étage d'entrée du circuit récepteur de l'information. Pour un niveau bas I_e est négatif (le courant « sort » du récepteur), il est positif pour un niveau haut. Quand un circuit en commande plusieurs, son courant de sortie est, à un signe près, égal à la somme des courants d'entrée des circuits commandés :

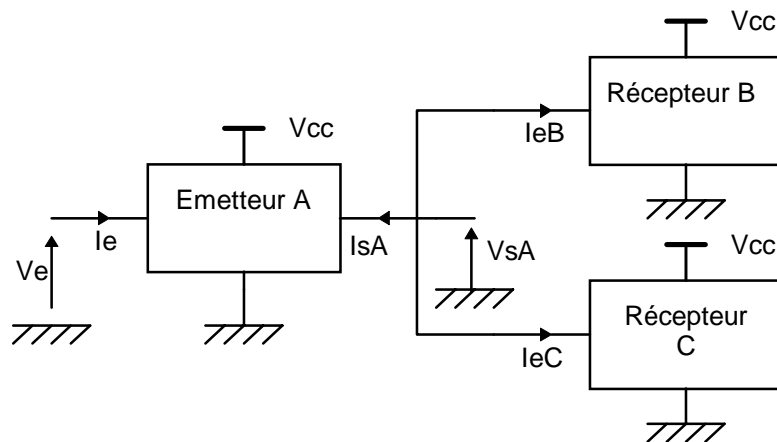


Figure II-4

$$I_{sA} = - (I_{eB} + I_{eC})$$

Pour déterminer la validité d'une association telle que celle représentée figure II-4, il faut connaître les valeurs maximums (en valeurs absolues) des courants d'entrée, et la valeur maximum tolérable pour le courant de sortie. C'est dans cette optique que sont définis :

- I_{IH} et I_{IL} , courants d'entrée d'un circuit auquel on applique des niveaux haut et bas, respectivement.
- I_{OH} et I_{OL} , courants de sortie admissibles par un circuit tout en conservant les niveaux de tension haut et bas, respectivement.

Pour assurer la validité d'une association dans laquelle un circuit en commande plusieurs autres, il faut contrôler que sont vérifiées les deux inégalités :

$$\begin{aligned} -I_{OHMAX} &> \sum(I_{IHMAX}) \\ I_{OLMAX} &> \sum(-I_{ILMAX}) \end{aligned}$$

Les signes '- ' proviennent des conventions de signes classiquement adoptées, seules comptent, évidemment, les valeurs absolues des courants.

En TTL-LS : $I_{OHMAX} = -0,4$ mA pour $I_{IHMAX} = 20$ μ A, $I_{OLMAX} = 8$ mA pour $I_{ILMAX} = -0,4$ mA

On en déduit qu'un circuit peut en commander 20 autres tout en assurant le respect des niveaux logiques.

Les inégalités précédentes, associées à leurs semblables concernant les tensions, permettent de déterminer la validité d'associations entre circuits de technologies différentes, ou de spécifier un circuit d'interface « fait maison » avec une technologie donnée. A l'intérieur d'une technologie les niveaux de tension sont évidemment compatibles, les règles concernant les courants se résument alors à contrôler le bon respect des sortances et entrances des circuits :

On prend comme unité logique la charge apportée par l'entrée d'une porte élémentaire de la famille technologique considérée (en général l'inverseur). On définit alors deux nombres entiers :

- La *sortance* (*fan out*) d'une sortie est égale au nombre maximum de charges élémentaires que peut piloter cette sortie.
- L'*entrance* (*fan in*) associée à une entrée d'un circuit complexe est égale aux nombres de charges élémentaires équivalentes aux courants absorbés (ou fournis) par cette entrée.

La valeur typique de sortance adoptée par les fabricants est de 20.

N.B. : Autant ce qui précède a un sens clair pour les technologies dont les consommations sont peu dépendantes de la vitesse de fonctionnement, TTL et ECL par exemple, autant les consommations statiques n'ont *aucun sens appliquées aux technologies CMOS*. Pour ces technologies les calculs de sortances conduisent à des résultats absurdes, parce qu'applicables uniquement à une application qui ne fait rien ! Pour ces technologies l'augmentation du nombre d'entrées mises en parallèle se traduit par une augmentation de la capacité de charge présentée au circuit de commande, il en résulte une augmentation des temps de propagation des signaux, donc une baisse de

vitesse du système. Les notices de circuit donnent les capacités des entrées et des courbes de temps de propagation en fonction de la capacité de charge.

II.3. Nanosecondes et mégahertz

Avant de préciser les paramètres dynamiques que l'on définit pour caractériser les circuits logiques, rappelons brièvement comment on caractérise une impulsion :

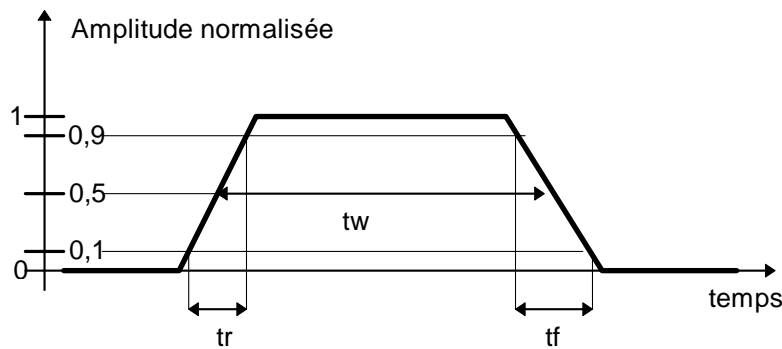


Figure II-5

Les noms des différents temps qui interviennent sont :

t_w : largeur (width)

t_r : temps de montée (rise time)

t_f : temps de descente (fall time).

Quelle que soit la famille logique, les signaux appliqués aux circuits doivent avoir des *temps de montée et de descente inférieurs au temps de propagation* des opérateurs élémentaires ; la définition de ces temps de propagation est l'objet du paragraphe suivant. Dans toute la suite nous considérerons donc des signaux dont les temps de montée et de descente sont nuls. Précisons que les logiciels de simulation logique adoptent toujours la même convention, malgré une terminologie parfois ambiguë (voir ci-dessous).

II.3.1 Des paramètres observables en sortie : les temps de propagation

Considérons la réponse à une impulsion d'un inverseur élémentaire figure II-6 :

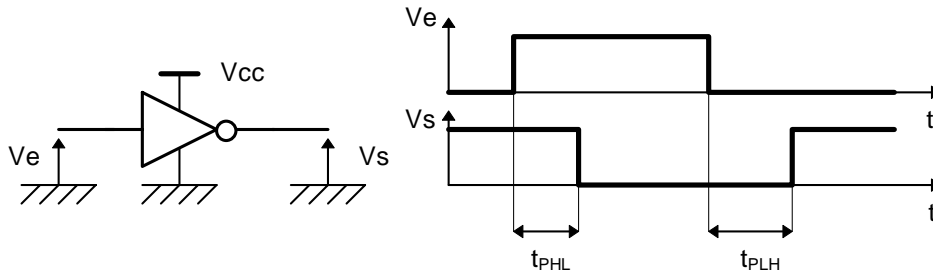


Figure II-6

Les deux temps t_{PHL} , pour temps de propagation du niveau haut vers le niveau bas, et t_{PLH} , pour temps de propagation du niveau bas vers le niveau haut, qui ne sont pas forcément égaux, caractérisent le retard entre une cause, V_e , et un effet, V_s , dû aux imperfections des transistors qui constituent l'inverseur. Ces définitions se généralisent sans peine pour toute relation de cause à effet entre une entrée et une sortie d'un circuit : retard par rapport à une horloge, retards pour commuter d'un état haute impédance à un état logique et vice versa, etc.... On consultera avec profit une notice de circuit pour se familiariser avec les multiples temps de propagations spécifiés.

Ces temps sont *définis en valeur maximum*, parfois en valeurs typiques et minimum, pour une *valeur spécifiée de la capacité de charge* vue par la sortie (en général 50 pF). En effet, les temps de propagation dépendent beaucoup de cette capacité de charge, surtout dans les technologies qui utilisent des transistors à effet de champ. Dans certains cas les notices fournissent des taux d'accroissement des temps de propagation en fonction de la capacité de charge (nanosecondes par picofarad).

N.B. : Les remarques qui précèdent, à propos des capacités de charges acceptables en sortie des circuits logiques, laissent à penser aux effets pour le moins curieux que peuvent provoquer des mesures faites avec un oscilloscope dépourvu de sonde !

II.3.2 Des règles à respecter concernant les entrées

Une autre classe de paramètres dynamiques des circuits est parfois moins bien comprise : elle concerne des paramètres qui ne sont pas directement observables, mais dont le non respect peut entraîner des dysfonctionnements du circuit. Ces paramètres interviennent notamment dans les circuits séquentiels synchrones, pilotés par une horloge.

Temps de prépositionnement et de maintien

Les temps de prépositionnement (*set up time*, t_{SU}) et de maintien (*hold time*, t_H) concernent *les positions temporelles relatives de deux entrées* d'un même

circuit, par exemple la position de l'entrée D et de l'horloge d'une bascule D synchrone, qui réagit aux fronts montants de son horloge. Nous définirons ces temps sur cet exemple simple, mais ils se généralisent à toutes les entrées d'un circuit qui provoquent une action conjointe (figure II-7) :

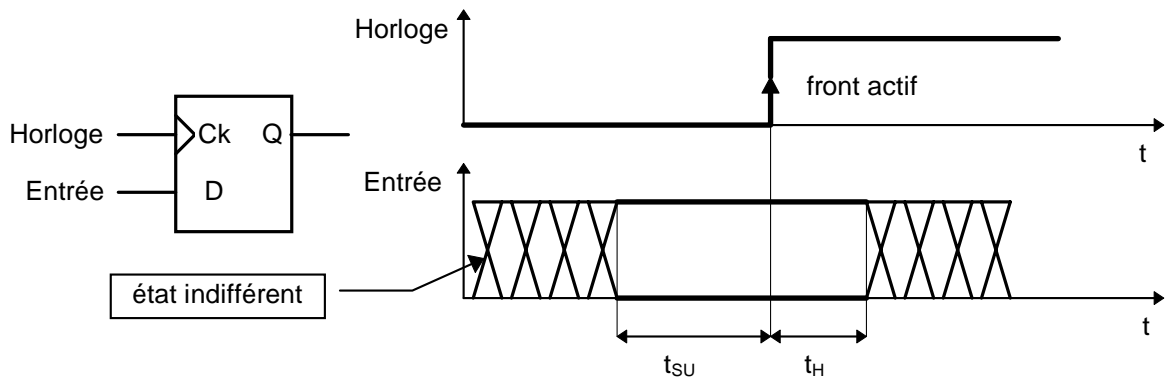


Figure II-7

Pour que la bascule interprète correctement la valeur de l'entrée, quelle que soit cette valeur, d'où les deux valeurs possibles représentées sur la figure II-7, celle-ci doit être stable *avant* la transition active d'horloge (set up) et maintenue stable *après* (hold) cette transition.

Typiquement, pour la technologie TTL-LS, ces valeurs sont : $t_{SU} = 20$ ns et $t_H = 0$. L'intérêt d'avoir une valeur nulle pour le maintien apparaît dès que l'on remarque qu'en général les entrées d'un circuit synchrone sont les sorties d'un autre, la valeur à prendre en compte au moment de la transition d'horloge est alors, sans ambiguïté, celle qui *précède* cette transition. Pour illustrer ceci il suffit de monter une bascule D en « diviseur par deux », un montage qui change d'état à chaque transition active de l'horloge (figure II-8) :

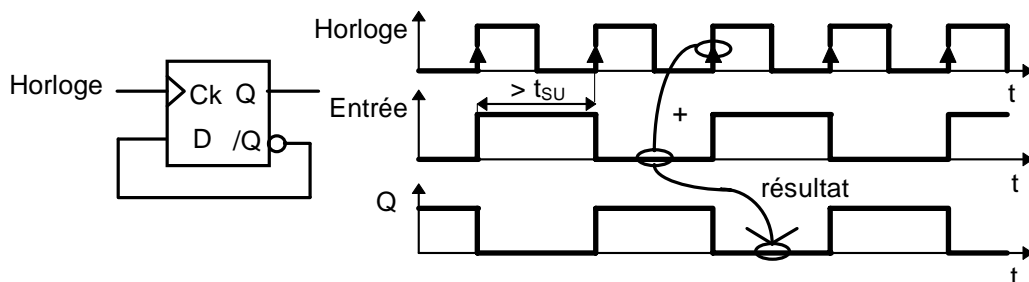


Figure II-8

Si la bascule du schéma de la figure II-8 possède un temps de maintien nul, le montage fonctionne correctement quel que soit le temps de propagation de la bascule, pourvu que la clause sur le temps de prépositionnement (qui n'est *jamais* nul) soit respectée. De plus, au niveau de l'analyse de principe, cela permet de comprendre le fonctionnement d'un système en idéalisant les caractéristiques des composants ; rien n'est plus irritant que les explications de principe qui font en permanence appel aux défauts des composants (les retards) pour « éclairer » ce fonctionnement. Par contre ces défauts doivent être pris en compte lors de l'évaluation des limites de fonctionnement d'un montage, c'est ce que nous allons explorer dans la suite.

Calcul de la fréquence maximum d'une horloge

Reprenons le schéma de la figure II-8, mais en tenant compte, cette fois, des retards dans la bascule (figure II-9), de façon à pouvoir évaluer les limites de performances de notre système :

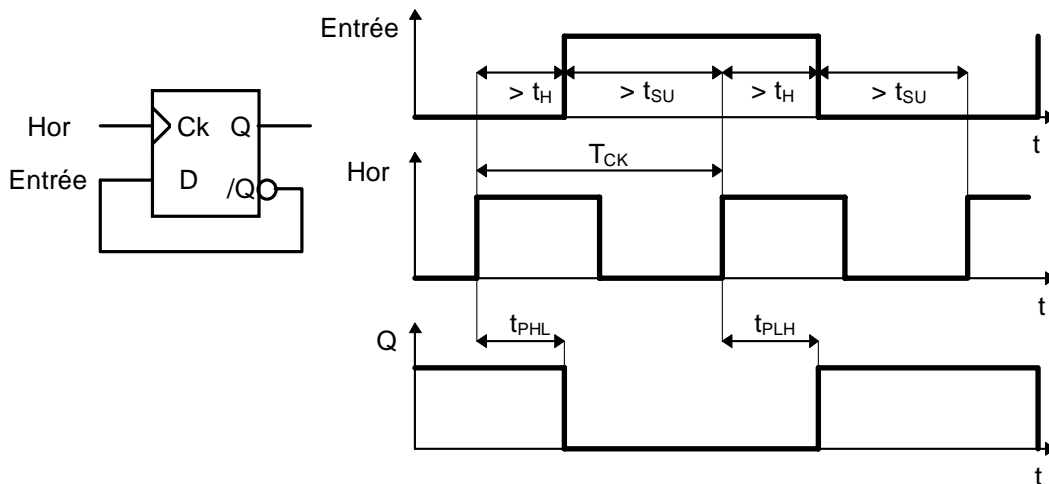


Figure II-9

Pour que le montage fonctionne correctement les paramètres des circuits doivent vérifier :

$$t_H < \min(t_{PHL}, t_{PLH})$$

$$t_{SU} < T_{CK} - \max(t_{PHL}, t_{PLH})$$

soit :

$$F_{CK} = 1/T_{CK} < 1/(t_{SU} + \max(t_{PHL}, t_{PLH}))$$

La première relation, indépendante de la fréquence de l'horloge, est toujours vérifiée pour des circuits dont le temps de maintien est nul, d'où l'intérêt de ces circuits.

La deuxième relation permet de calculer la fréquence maximum de fonctionnement du montage.

On peut étendre l'étude précédente à un cas plus général que le diviseur par deux (figure II-10) :

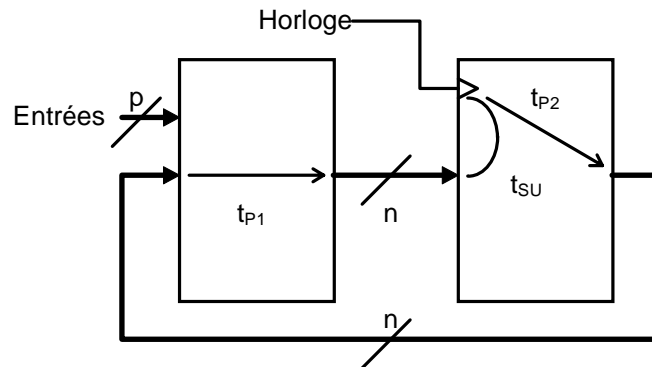


Figure II-10

Dans un tel système, qui évolue à chaque transition d'horloge en fonction de son état initial et des entrées extérieures, trois conditions doivent être respectées :

1. Les entrées extérieures doivent être correctement positionnées par rapport à l'horloge, cela peut être assuré en *resynchronisant*, au moyen d'une bascule D, toute entrée asynchrone par rapport à l'horloge locale ; nous précisons ce point au paragraphe suivant.
2. La fréquence de l'horloge doit respecter l'inégalité :

$$F_{CK} < 1 / (t_{SU} + \max(\sum (t_{Propagation})))$$

3. Le temps de maintien doit être nul, ou au pire inférieur au plus petit des temps de propagation.

Attention : Un dysfonctionnement par violation de prépositionnement se corrige en réduisant la fréquence d'horloge ou en choisissant une technologie plus rapide, un dysfonctionnement par violation de temps de maintien, par contre, est indépendant de la fréquence de l'horloge et nécessite, en général, une refonte complète du système.

D'autres paramètres sont spécifiés qui concernent l'horloge, ou les entrées de commandes asynchrones des circuits séquentiels : largeur minimum des impulsions, fréquence maximum de fonctionnement du circuit sans rebouclage, etc... Ces paramètres conduisent, en général, à des contraintes beaucoup moins sévères que celles que nous venons d'obtenir ; il convient de se méfier des évaluations hâtives faites à partir de la lecture des notices de circuits, sans

évaluation des temps de propagation dans le schéma réel. Notons que les outils de simulation logique permettent d'extraire d'un schéma complexe les *chemins critiques* qui limitent les performances du système.

Synchronisation des entrées asynchrones d'un système synchrone

Dans un système tel que celui de la figure II-10, il est impossible d'assurer que les règles précédentes sont respectées si les changements des entrées sont asynchrones de l'horloge. Le risque est alors de voir apparaître des transitions fausses⁵.

Pour éviter ce type de désagrément la méthode consiste à systématiquement *resynchroniser les entrées asynchrones* au moyen de bascules D (registre de synchronisation) :

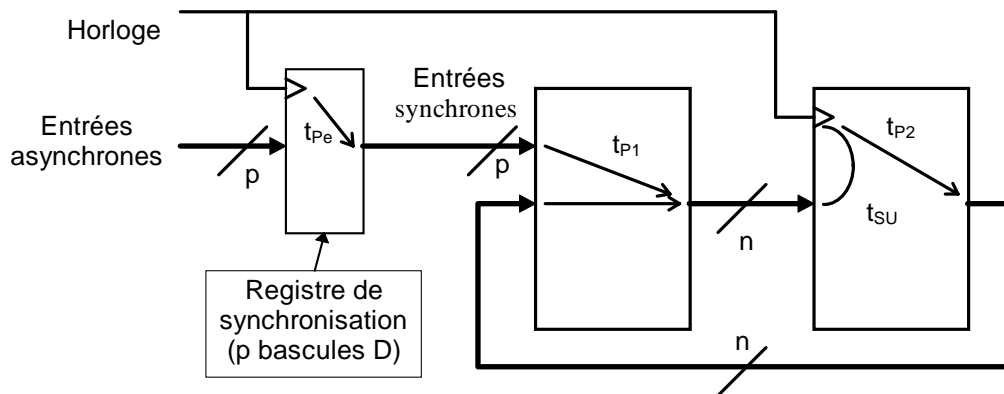


Figure II-11

Dans le schéma de principe de la figure II-11 les durées de tous les chemins sont définies, ce qui permet de contrôler le respect des temps de maintien et de prépositionnement.

Il reste cependant une interrogation : que se passe-t-il pour *une bascule* du registre de synchronisation si les temps précédents ne sont pas respectés pour elle ? A priori, tant que l'on reste dans le monde de la logique, le seul risque est de perdre une période d'horloge dans la prise en compte de l'entrée concernée. De toute façon un système synchrone évolue avec une définition temporelle qui est connue à une période d'horloge près, le problème semble donc résolu. Et pourtant... il peut arriver, extrêmement rarement (les probabilités sont inférieures à 10^{-9} pour des bascules « saines »), qu'une bascule dont l'entrée D change juste avant la transition active d'horloge (quelques nanosecondes en TTL-LS), hésite ensuite entre le niveau haut et le niveau bas, et ce pendant un temps très long à l'échelle de

⁵Par exemple un compteur qui devrait se charger à 13 prend la valeur 9 parce que la bascule de poids binaire 2 est un peu plus lente que les autres.

l'horloge. Ce phénomène, exceptionnel rappelons le, est connu sous le nom de *métastabilité*. Certains fabricants de circuits rapides donnent des indications concernant la propension à la métastabilité de leurs produits.

La figure II-12, ci dessous, illustre la tension de sortie d'une bascule qui passe par un état métastable dans une transition L→H.

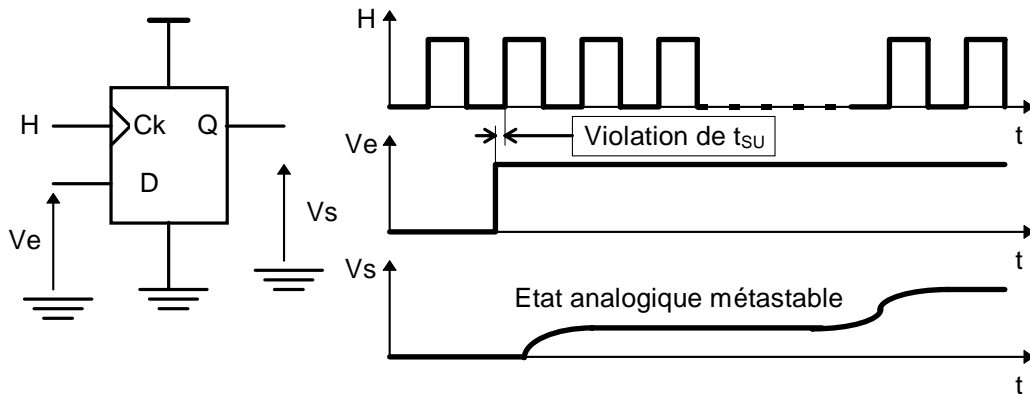


Figure II-12

Une interprétation physique de l'apparition d'un métastable peut être illustrée par les points d'équilibres d'une bille sur une surface courbe (figure II-13) :

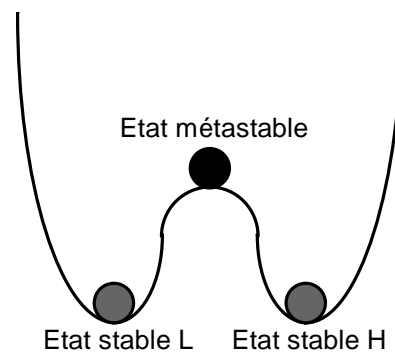


Figure II-13

Les fluctuations (agitation thermique, impulsions d'horloge) font que la bascule quittera, à un moment ou à un autre, l'état métastable, mais il est impossible de prévoir la durée de cet état. Dans des applications où le risque, même faible, d'apparition de métastables est intolérable, on peut utiliser une double

synchronisation, constituée de deux registres montés en cascade, comme dans un registre à décalage.

II.3.3 Des règles à respecter concernant les découplages

Quand la tension de sortie d'un circuit change d'état ce changement d'état s'accompagne d'un transfert de charge électrique entre le circuit et la capacité de charge, C_L , de la sortie considérée. Pendant la transition on peut considérer que la charge transférée provient entièrement de la capacité de découplage du circuit, les conducteurs d'alimentation présentent en effet une « résistance » non négligeable aux variations brusques de courant⁶.

Un modèle électrique simple permet de modéliser la commutation (figure II-14) :

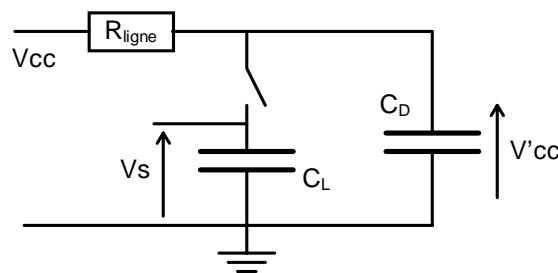


Figure II-14

Dans une transition L→H, qui correspond à une fermeture de l'interrupteur, il apparaît entre V'_{cc} et V_s un diviseur capacitif (V'_{cc} est la tension d'alimentation du circuit). On s'impose, en général, une valeur maximum de variation $\Delta V'_{cc}$ de tension d'alimentation. Par exemple, un circuit dont huit sorties commutent simultanément, chaque entrée étant chargée par une capacité de 50 pF, pour un écart $\Delta V_s = 3$ V entre niveaux bas et haut, et une variation $\Delta V'_{cc}$ inférieure à 100 mV, devra être découplé par :

$$C_D \geq (\Delta V_s / \Delta V'_{cc}) * 8C_L = 240C_L = 12 \text{ nF.}$$

D'où la valeur couramment préconisée de 10 à 100 nF par circuit, avec une capacité qui présente une faible résistance série équivalente en haute fréquence, par exemple de type céramique multicouches à diélectrique X7R ou Z5U.

⁶Résistance ou inductance ? Un premier niveau d'analyse, un peu naïf, militerait pour inductance, la théorie des lignes de propagation nous apprend qu'en dernier ressort il s'agit plutôt d'une résistance, si les lignes d'alimentations sont sans pertes.

II.4. Types de sorties

Tant qu'une application est construite comme un assemblage de circuits dont chaque sortie commande une ou des entrées d'autres circuits de même technologie, c'est à dire dans la majorité des applications, on fait appel à des sorties « standard », auxquelles se rapportent les définitions vues précédemment concernant les niveaux logiques.

Dans certains cas on est amené à utiliser des assemblages qui sont à première vue curieux : *plusieurs sorties sont connectées en parallèle*. Les circuits qui autorisent ce genre de construction font appel à des sorties non-standard, collecteur (ou drain) ouvert et/ou sorties trois états.

II.4.1 Sorties standard

Pour l'utilisateur d'un circuit, indépendamment des détails de la structure interne et tant que les spécifications de courants de sortie maximum sont respectées, une sortie standard apparaît comme une *source de tension*, que cette sortie soit au niveau haut ou au niveau bas. Un modèle électrique simplifié est alors celui de la figure II-15 : les deux interrupteurs fonctionnent en alternance, pour un niveau haut K_1 est fermé, K_2 est ouvert, la situation est inversée pour un niveau bas.

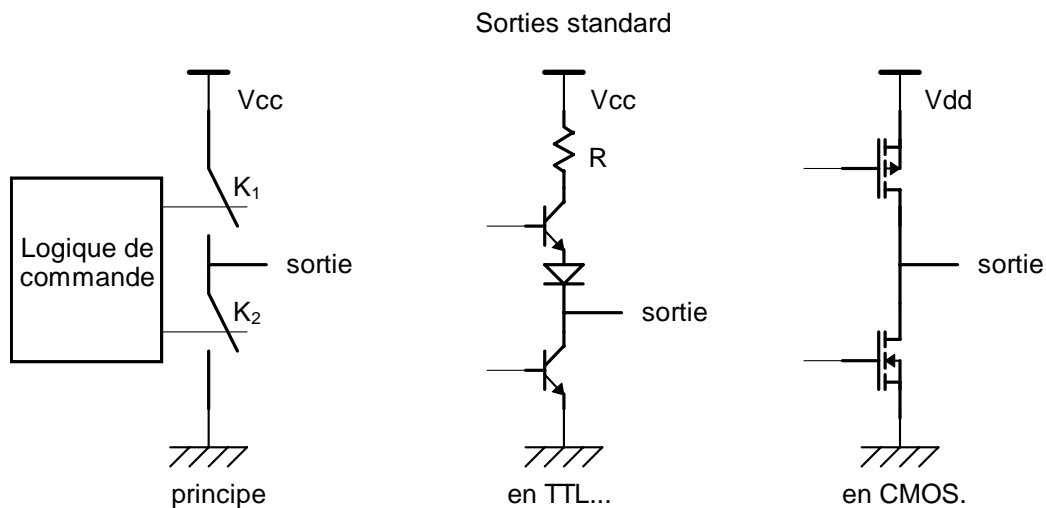


Figure II-15

Il est clair que les sorties standard ne supportent :

- ni la mise en parallèle,
- ni le court-circuit vers la masse ou vers l'alimentation.

II.4.2 Sorties collecteur (ou drain) ouvert

Une image du principe qui conduit aux sorties dites « collecteur ouvert » est celle du signal d'alarme dans un train. Le pilote du train doit être prévenu si l'une au moins des alarmes mises à la disposition des voyageurs est active. D'un point de vue logique, la fonction correspondante est un OU. Les sorties collecteur ouvert permettent de réaliser une telle fonction OU, avec un nombre arbitraire d'entrées, sans qu'il soit nécessaire de compliquer le câblage quand on augmente le nombre des entrées. Le principe est fort simple : l'interrupteur K_1 du schéma de la figure II-15 a disparu (figure II-16).

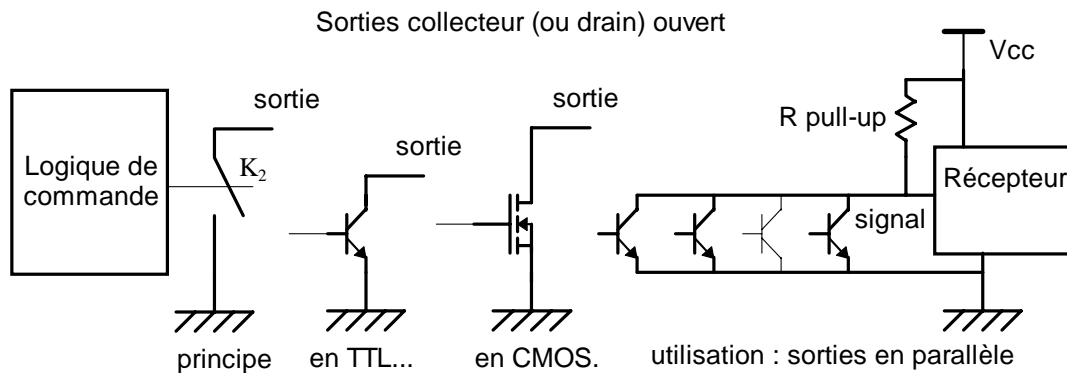


Figure II-16

On notera que dans le schéma précédent le *niveau actif est un niveau bas*, ce qui est généralement le cas dans ce type d'application où tous les circuits partagent la même masse, mais pas forcément la même alimentation. La résistance R_{pullup} (résistance de tirage), qui est unique, est située du côté de l'entrée du circuit de réception du signal.

Une autre application, plus marginale, des sorties collecteur ouvert, est l'interface entre des sous-ensembles qui travaillent avec des tensions d'alimentation différentes, dans le schéma de la figure II-16 la tension d'alimentation du récepteur, V_{cc} , peut être différente de la tension d'alimentation des circuits émetteurs. Cela permet, par exemple, de créer simplement une interface entre des circuits alimentés en 5 V et en 15 V.

Les sorties collecteur ouvert ne peuvent remplacer les sorties standard dans toutes les applications : leurs performances dynamiques sont nettement moins bonnes, et très dissymétriques. Alors que la transition $H \rightarrow L$ est aussi rapide que celle observée avec une sortie standard de la même technologie, le régime dynamique de la transition $L \rightarrow H$ fait intervenir la résistance de tirage, conduisant à un temps de montée qui est beaucoup plus grand qu'avec une sortie standard, et qui dépend fortement de la capacité de charge de la sortie.

II.4.3 Sorties trois états

Dans un ordinateur les chemins de données doivent permettre l'échange d'informations entre de nombreuses sources et de nombreux récepteurs : unité(s) centrale(s), mémoires, périphériques. Un câblage traditionnel, par des connexions deux à deux entre toutes les sources et tous les récepteurs possibles, conduirait rapidement à un schéma inextricable. La solution à ce problème est de réaliser les interconnexions entre les différents éléments d'un système par des *bus*. Un bus est un ensemble de conducteurs (fils électriques) qui *relie en parallèles* toutes les entrées et toutes les sorties susceptibles de recevoir ou émettre un signal d'un type donné. Dans une architecture classique on trouvera, par exemple, un bus de données, un bus d'adresses et un bus de contrôle⁷.

Le protocole d'accès à un bus est simple : *à chaque instant il ne peut y avoir, au maximum, qu'un seul maître du bus* ; dit autrement, une seule sortie peut imposer, à un instant, des niveaux logiques aux conducteurs du bus. Si deux circuits (ou plus) tentent d'imposer, simultanément et indépendamment, des niveaux logiques au bus on parle de *conflit de bus*.

Dans le schéma de la figure II-17, qui illustre une connexion en bus entre une unité centrale et trois boîtiers de mémoires, lors d'une opération de lecture (transfert de la mémoire vers l'unité centrale), une seule des lignes de sélection (sel i) est active, les sorties des mémoires qui ne sont pas sélectionnées sont électriquement déconnectées du bus de données, elles sont dans un état particulier dit *état haute impédance*.

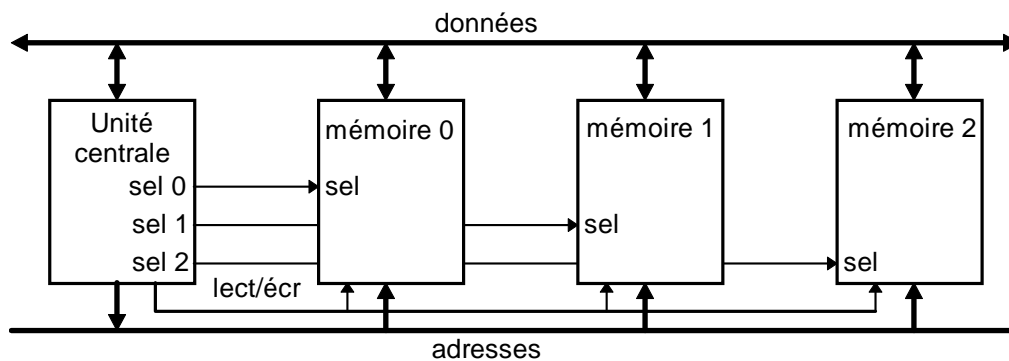


Figure II-17

Les sorties qui permettent une telle déconnexion sont appelées *sorties trois états* (*tri-state*). Physiquement, dans une sortie trois états, les deux interrupteurs de

⁷Dans le cas du bus de contrôle, le terme de bus est parfois un abus de langage, il est employé même quand les conducteurs de ce bus relient entre elles des sorties qui ne sont pas « trois état ».

la figure II-15 sont ouverts (les transistors correspondants sont bloqués). Une sortie trois états peut se trouver dans l'une des trois configurations :

- basse impédance, niveau logique bas,
- basse impédance, niveau logique haut,
- haute impédance (la broche correspondante du circuit est « en l'air »).

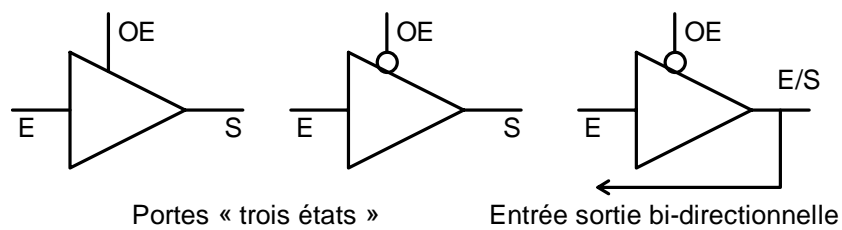


Figure II-18

Traditionnellement les symboles distinguent les commandes de connexion (commandes de mise en basse impédance) des autres entrées logiques des opérateurs par une position particulière (entrées OE de la figure II-18), le niveau actif de ces commandes, indiqué sur les symboles, correspond à l'état basse impédance.

On peut réaliser une sortie collecteur ouvert au moyen d'une sortie trois états, il suffit de maintenir un niveau logique bas, constant, et d'agir sur la commande de « tri-state ».

Exercices

Fréquence maximum de fonctionnement

Le schéma de la figure IV-6, page 94, représente un compteur décimal à trois chiffres qui utilise l'association de trois compteurs, un par décade.

- En consultant un catalogue de circuits 74LS..., estimer le fréquence maximum de fonctionnement du montage dans cette technologie.
- En quoi le schéma proposé dans le catalogue permet-il de gagner un peu en vitesse ?
- Le constructeur propose d'utiliser le circuit 74LS264, pour augmenter la vitesse maximum de fonctionnement. A partir de combien de décades l'adjonction de ce circuit auxiliaire est elle intéressante ?

Circuits programmables

Au moyen d'une notice du circuit 22V10, peu importe la technologie, expliquer pourquoi les constructeurs distinguent une fréquence maximum de fonctionnement « interne » et une fréquence maximum de fonctionnement « externe ».

Sorties collecteur ouvert (manipulation)

1. Concevoir et tester un schéma qui permet d'allumer une diode électroluminescente à partir de deux sources connectées en parallèles. On fixera le courant dans la diode à 5 mA, ce courant étant déterminé par une résistance de "pull-up" connectée soit à 5 V, soit à 12 V (deux valeurs différentes pour la résistance !).
2. Ces valeurs sont-elles acceptables pour un circuit du type 74LS06 ?
3. On commande l'un des circuits du montage précédent par un générateur, sortie TTL, réglé à environ 100 kHz . Observer à l'oscilloscope et interpréter la forme du signal de sortie de ces circuits, dans les deux cas de tension d'alimentation . D'où provient la différence entre les temps de montée et de descente de ce signal ?