

Index

- addition
 - binaire 52
 - décimale 58
- aléa 68, 105
- de commutation 152
- analogique 3
- anti fusibles 100
- ASCII (code) 13
- ASGA (familles) 21
- ASIC 97
- associativité 47
- asynchrone 62

- bascules
 - *D latch* 62
 - *D edge* 73
 - T 77
 - J-K 80
- base deux 7
- bcd (code) 8
- binaire décalé (code) 11
- bit, binaire 4
- bruit (immunité au –) 5, 23
- bus (conflit de) 36

- canoniques (formes) 144
- capacité de charge 19, 27
- chronogramme 71
- CMOS (familles) 18
- codage des états 134
- collecteur ouvert 35
- combinatoire 39
- comparaison 56
- complément à 2 (code) 9
- compteur 79, 93
- convention logique 4
- courants échangés 24

- De Morgan (lois de) 48
- débordements 15
- décalage arithmétique 11
- décodage d'adresses 91
- décodeur 90

- découplage (capacité) 33
- distributivité 48

- ECL (familles) 21
- enterrées (bascules) 140
- entrance 25
- EPROM 100
- erreurs 53, 85
- état interne 61
- états pièges 117

- FLASH 100
- flottants (nombres) 12
- formes normales 144
- FPGA 97
- fréquence maximum 29
- fusibles 100

- GRAFCET 112

- haute impédance 36
- horloge 62, **70**, 105, 108
 - et VHDL 72, 75, 168

- impulsion 26

- Karnaugh (tableaux) 149

- logigramme 42

- machines
 - d'état 106
 - de Moore 125
 - de Mealy 125
- maintien (temps) 27
- Manchester (code) 128
- maxterme 146
- Mealy
 - machine de 125
 - diagramme de transition 127
- mémoire 39
- métastables (états) 32
- minimisations 147
- minterme 144

208

Moore (machine de) 125
multiplexage temporel 66
multiplexeur 58, 89

niveaux de tension 22

nombres 7

nombres entiers signés 8

numérique 3

parité 53, 56

PLD 97

polarité 53

prépositionnement 27

propagation (temps) 26

puissance dissipée 19

rebonds (élimination) 69

registre d'état 107, 118

retenue anticipée 95

séquentiel 39, 61

sortance 25

sortie standard 34

affectations

– concurrentes 182

– conditionnelle, when 182

– sélective, with 182

– séquentielle 185

architecture 165

array 177

attributs 178

bit 176

bit_vector 177

block 185

case 186

component 183

constant 173

entity 164

exit 187

for 187

function 188

generate 184

generic 195

IEEE (bibliothèque) 193

if 186

sortie trois états 36

synchrone 62

synchronisation

– des entrées 31, 142

– des sorties 142

tables de vérité 43

technologies 17

temps (rôle du) 109

top down design 102, 162

transitions 61

– diagramme 72, 111

– équations 71, 108, 113

– table 114

– VHDL 120

transparent (mode) 63

TTL (familles) 17

unicité (état futur) 115

Venn (diagrammes de) 43

VHDL :

instanciation 183

integer 174

library 194

loop 187

next 187

opérateurs 180

package 191

port 183

procedure 190

process 166

record 178

signal 172

subtype 175

type 176

variable 173

wait 167

while 187